

# 25 Übungsaufgaben

## 25.1 Aufgaben zu Kapitel 6 (Transistor-Schaltungstechnik)

Dieser Abschnitt der Aufgabensammlung ist der Transistor-Schaltungstechnik gewidmet.

### Aufgabe Nr. 1: Grundsaltungen mit Transistoren

Gegeben seien Beispiele gemischter Schaltungen mit Transistoren gemäß Bild 25.1 a - f. Folgende Aufgaben sollen gelöst werden, wobei man für den Transistor möglichst vom Doppeldioden-Modell ausgehen sollte. Die eingezeichneten Dioden sowie die Basis-Emitter-Diode im Transistormodell seien absolut ideale Dioden mit einer Kniespannung von 0,7 Volt und unendlich hohem Sperrwiderstand. Bei gesättigtem Transistor approximiere man die Kollektor-Emitter-Restspannung mit genau 0 Volt. Wenn für Ohm'sche Widerstände keine Werte angegeben sind, gehe man von einer für Digitalschaltungen vernünftigen Dimensionierung aus. Man löse folgende Aufgaben:

- Gib die logische Funktion  $x(a, b)$  an zur Schaltung in Bild 25.1 a.
- Gib die logische Funktion  $x(a, b)$  an zur Schaltung in Bild 25.1 b.
- Gib die Ausgangsspannung  $x$  für  $a = \text{high}$  und für  $a = \text{low}$  an zu Bild 25.1 c.
- Gib die Ausgangsspannung  $x$  für  $a = \text{high}$  und für  $a = \text{low}$  an zu Bild 25.1 d.
- Gib die Ausgangsspannung  $x$  für  $a = \text{high}$  und für  $a = \text{low}$  an zu Bild 25.1 e.
- Gib die Ausgangsspannung  $x$  für  $a = \text{high}$  und für  $a = \text{low}$  an zu Bild 25.1 f.

## 25.2 Aufgaben zu Kapitel 7 (Logische Netze)

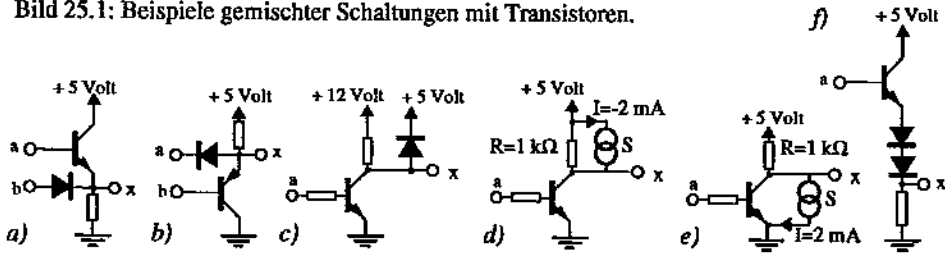
### Aufgabe Nr. 2: Serien-Parallel-Analyse

Gegeben ist das Transmissionsnetz aus Bild 25.2.

- Führen Sie die Serien-Parallel-Analyse nach Algorithmus aus Abschnitt 7.5.2 für das

25.1 Aufgaben zu Kapitel 6 (Transistor-Schaltungstechnik) .....	495
25.2 Aufgaben zu Kapitel 7 (Logische Netze) .....	495
25.3 Aufgaben zu Kapitel 8 (Modelle der Switching-Ebene) .....	497
25.4 Aufgaben zu Kapitel 9 (MOS-Technologie) .....	499
25.5 Aufgaben zu Kapitel 11 (MOS-Digitalschaltungen) .....	500
25.6 Aufgaben zu Kapitel 13 (Das Zeitverhalten) .....	501
25.7 Aufgaben zu Kapitel 15 (NMOS-Gatter-Synthese) .....	501
25.8 Aufgaben zu Kapitel 16 (CMOS-Schaltungstechnik) .....	502
25.9 Aufgaben zu Kapitel 18 (CMOS-Layout-Optimierung) .....	503
25.10 Aufgaben zu Kapitel 17 (Schaltungen mit Multiplexern) .....	504
25.11 Aufgaben zu Kapitel 19 (Strukturierter Entwurf) .....	504
25.12 Aufgaben zu Kapitel 22 (Synthese Systolischer Arrays) .....	506

Bild 25.1: Beispiele gemischter Schaltungen mit Transistoren.



Transmissionsnetz aus Bild 25.2 durch. Geben Sie dabei jeweils die während des Ablaufs des Algorithmus der Variablen T zugewiesenen Transmissionsnetze an.

- b) Berechnen Sie für den unter Teil-Aufgabe a) erzeugten Transmissionsausdruck das komplementäre Transmissionsnetz anhand Algorithmus aus Abschnitt 7.5.2. Achten Sie darauf, daß in dem unter a) erzeugten Transmissionsausdruck alle *and* durch *or* und alle *or* durch *and* zu ersetzen sind, um den dazu komplementären Transmissionsausdruck zu erhalten. Geben Sie dabei die Reihenfolge aller Aufrufe der Prozedur "generate" inklusive der aktuellen Parameter an. Parameter T soll in Form einer Tabelle angegeben werden.

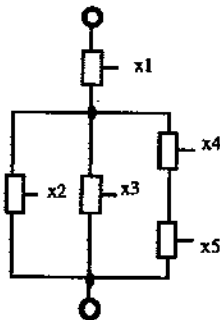


Bild 25.2: Transmissionsnetz zu Aufgabe Nr. 2

### Aufgabe Nr. 3: Seriell-Parallel-Zerlegung

Gegeben sind die Zweipole a), b) und c) aus Bild 25.3.

- a) Welche der Zweipole sind seriell-parallel zerlegbar?  
 a) Bestimmen Sie die Transmissionsfunktion der seriell-parallel zerlegbaren Zweipole durch das speziell dafür vorgestellte Verfahren.  
 a) Welche Analyse-Möglichkeiten gibt es für nicht-seriell-parallel zerlegbare Zweipole?  
 a) Bestimmen Sie die Transmissionsfunktion der nicht-seriell-parallel zerlegbaren Zweipole durch die beiden in der Vorlesung vorgestellten Verfahren.

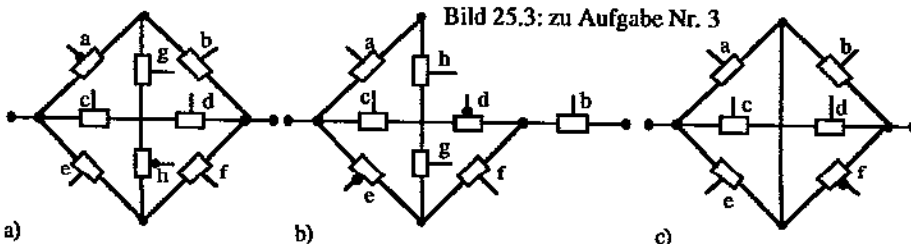
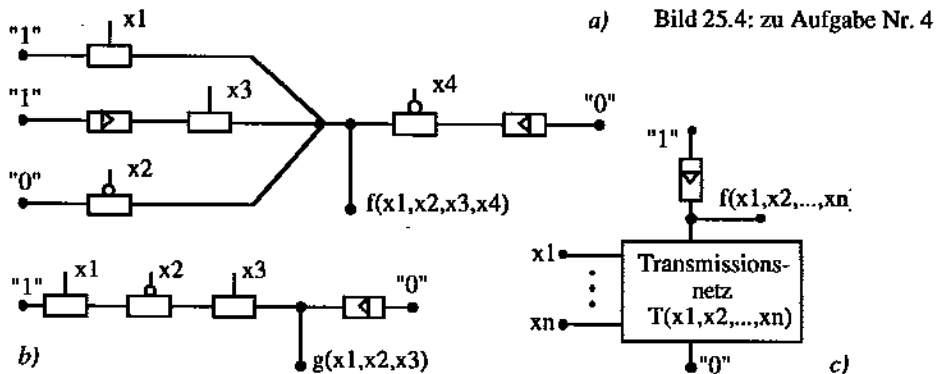


Bild 25.3: zu Aufgabe Nr. 3



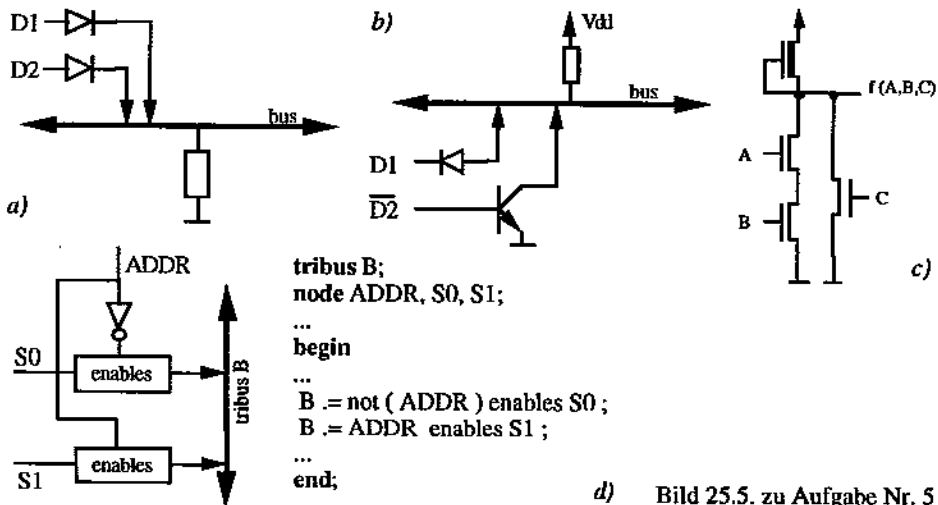
### 25.3 Aufgaben zu Kapitel 8 (Modelle der Switching-Ebene)

#### Aufgabe Nr. 4: Modellierung in der Switching-Ebene

Die CSA-Netze in Bild 25.4 zur Modellierung in der Switching-Ebene sind Gegenstand dieser Aufgabe.

54) a.) Welche Elemente werden auf der CSA-Ebene verwendet? Nennen Sie die Elemente und beschreiben Sie kurz deren Funktion.

b.) Bild 25.4a und Bild 25.4b zeigen Schalternetze dargestellt auf der CSA-Ebene. Bestimmen



d) Bild 25.5. zu Aufgabe Nr. 5

a) cell aufgabe1 ();

upbus UP;  
switch S1, S2;

begin

bus  
UP .= oco S1 ;  
UP .= oco S2 ;

end;

b) cell aufgabe2 ();

downbus DOWN;  
switch S1, S2;

begin

bus  
DOWN .= oeo S1 ;  
DOWN .= oeo S2 ;

end;

Bild 25.6. a) und b):  
KARL-Beschreibungen  
zu Aufgabe 4

c) cell aufgabe3 ();

tribus TRI;  
switch S1, S2, C1, C2;

begin

bus  
TRI .= C1 enables S1 ;  
TRI .= C2 enables S2 ;

end;

d) cell aufgabe4 ();

upbus UP;  
switch GND, C1, C2;

begin

bus  
UP .= C1 enables GND ;  
UP .= C2 enables GND ;

end;

Sie  $f(x_1, x_2, x_3, x_4)$  bzw.  $g(x_1, x_2, x_3)$  für alle Belegungen der Schalter  $x_i$ .

c.) NMOS-Schaltungen werden auf CSA-Ebene allgemein wie in Bild 25.4c dargestellt modelliert.

c.1) Modellieren Sie das Transmissionsnetz  $T(x_1, x_2, x_3)$  auf CSA-Ebene, so daß

$$f(x_1, x_2, x_3) = \text{not}(x_1 \text{ and } (x_2 \text{ or } x_3))$$

c.2). Was ändert sich an  $f(x_1, x_2, \dots, x_n)$ , wenn in Bild 25.4c "1" und "0" vertauscht werden?

### Aufgabe Nr. 5: Datenbus-Modellierung

- Gegeben ist die Dioden-Schaltung in Bild 25.5a. Modellieren Sie die Schaltung unter Benutzung des KARL-Bus-Konzepts und bestimmen Sie die Funktion  $f(D1, D2)$ , die den Wert auf dem Bus angibt.
- Gegeben ist die Schaltung in Bild 25.5b. Modellieren Sie die Schaltung unter Benutzung des KARL-Bus-Konzepts und bestimmen Sie die Funktion  $g(D1, D2)$ , die den Wert auf dem BUS angibt.
- Gegeben ist die NMOS-Schaltung aus Bild 25.5c, welche die Funktion

$$f(A, B, C) = \text{not}((A \text{ and } B) \text{ or } C)$$

realisiert. Geben Sie

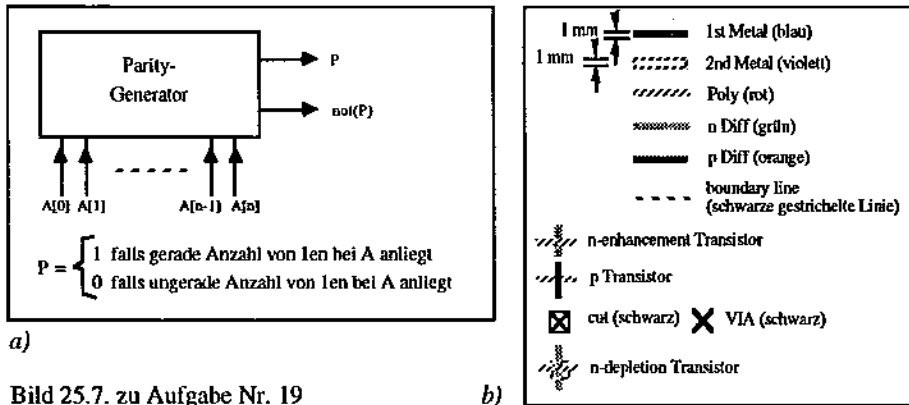


Bild 25.7. zu Aufgabe Nr. 19

- 1) die benötigten KARL-Deklarationen,
  - 2) die benötigten KARL-Busanweisungen, und
  - 3) die graphische Darstellung (ABL-Diagramm) an.
- d) Gegeben ist das technologie-unabhängige Modell eines Multiplexers in KARL (siehe Bild 25.5d) in textueller Form und in ABL-Darstellung. Erstellen Sie die der Schaltung aus Bild 25.5d entsprechende NMOS-Realisierung. Geben Sie dazu den Schaltplan auf Schaltkreis-Ebene an (Hinweis: Der Inverter kann auch in der NMOS-Realisierung wie in Bild 25.5d dargestellt werden).

### Aufgabe Nr. 6: Datenbus-Beschreibung mittels einer CHDL

Diese Aufgabe hat die verteilte Bus-Beschreibung unter Verwendung einer CHDL (Computer Hardware Description Language) zum Gegenstand. Gegeben sind die KARL-Beschreibungen in Bild 25.6 a-d. Jede KARL-Beschreibung besteht aus dem Deklarationsteil, in dem die benutzten Hardware-Elemente deklariert werden, und dem Anweisungsteil, der die Verdrahtung der deklarierten Hardware-Elemente beschreibt.

Modellieren Sie nun die in KARL beschriebenen Schaltungen aus Bild 25.6 a-d auf Switching-Ebene und bestimmen Sie die Funktion, die den Wert auf dem Bus angibt.

## 25.4 Aufgaben zu Kapitel 9 (MOS-Technologie)

### Aufgabe Nr. 7: Layout-Interpretation

Gegeben ist das Layout in Bild 25.8. Zeichnen Sie die Schnittbilder durch die gemäß dieses Layouts gefertigten Schaltung entlang der angegebenen Schnittlinien a->h und c->d. Benutzen Sie zur Darstellung der verschiedenen Materialien deren Normfarben.

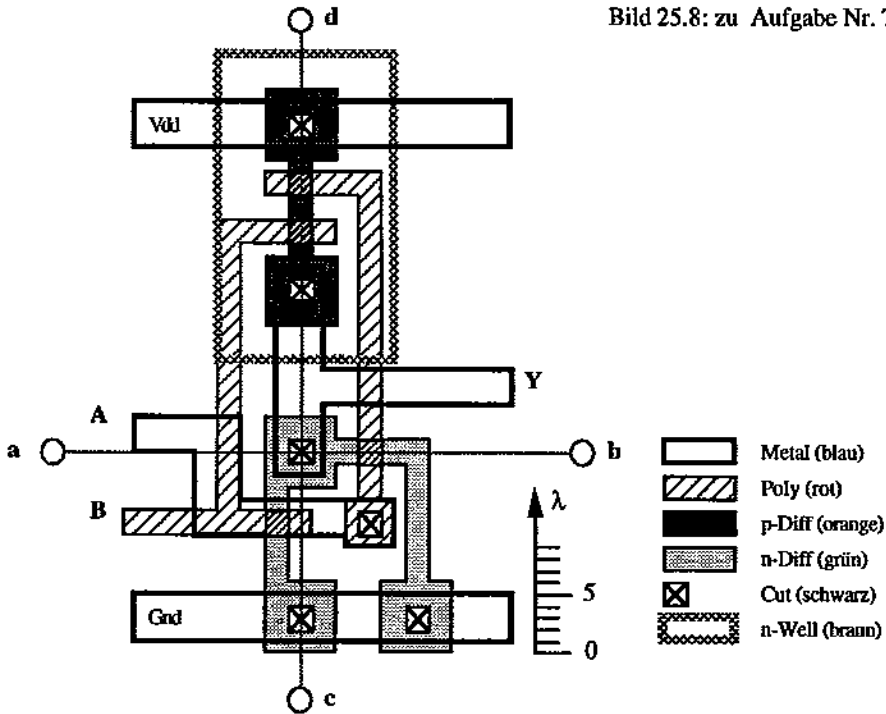


Bild 25.8: zu Aufgabe Nr. 7

## 25.5 Aufgaben zu Kapitel 11 (MOS-Digitalschaltungen)

### Aufgabe Nr. 8: NMOS-Multiplexer

Zum Entwurf eines NMOS-Multiplexers sind die folgenden Teilaufgaben durchzuführen.

a) Konstruiere das farbkodierte Stickdiagramm zum Entwurf einer NMOS-Schaltung zur Realisierung des 8-zu-1-Datenselektors (Multiplexer) mit der logischen Funktion gemäß Bild 25.9

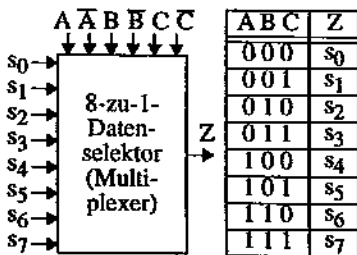


Bild 25.9: Multiplexer-Beispiel.

b) Zeichne den Transistor-Schaltplan zur Stick-Diagramm-Lösung nach a).

### Aufgabe Nr. 9: PLA-Generator

a) gib folgende Parameter des PLA nach Bild 11.23 an: Anzahl E der Eingänge, die Anzahl T der Terme, und die Anzahl A der Ausgänge.

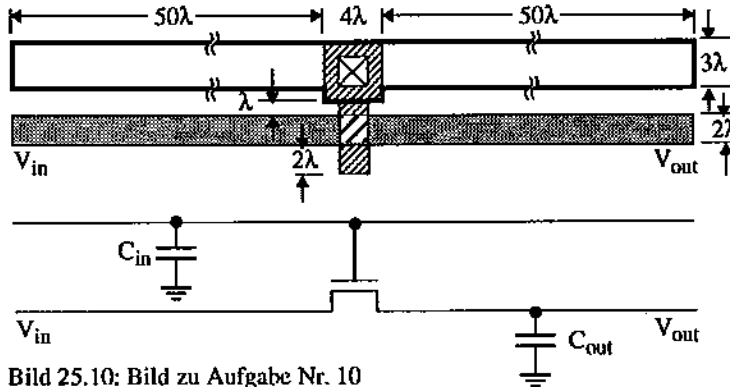


Bild 25.10: Bild zu Aufgabe Nr. 10

- b) Entwickle den KARL-3-Abtment-Ausdruck für den Zellenverbund zum unprogrammierten PLA nach Bild 11.23. Verwende dazu die Zellen aus Bild 11.18.
- c) Entwickle einen generischen KARL-3-Abtment-Ausdruck nach dem Beispiel des Zellenverbund zum unprogrammierten PLA nach Bild 11.23, jedoch parametrisiert mit den Parametern E, T, und A. Verwende dazu die Zellen aus Bild 11.18.

### 25.6 Aufgaben zu Kapitel 13 (Das Zeitverhalten)

#### Aufgabe Nr. 10: Kapazitäten eines Transfer-Transistors

Bestimme die Eingangskapazität  $c_{in}$  und die Ausgangskapazität  $c_{out}$  des Transfer-Gatters nach Bild 25.10 unter Verwendung der Parameter aus Bild 13.7.

### 25.7 Aufgaben zu Kapitel 15 (NMOS-Gatter-Synthese)

x1	x2	x3	x4	f
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	*
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	*
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	*
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Bild 25.11: Tabelle zu Aufgabe Nr. 20 (\* = don't care).

#### Aufgabe Nr. 11: NMOS-Schaltnetz nach Muroga

Gegeben ist die Funktion aus der in Bild 25.11 gezeigten Wertetabelle.

- a) Berechnen Sie das NMOS-Schaltnetz zu dieser logischen Funktion nach dem Muroga-Verfahren.
- b) Zeichnen Sie das unter Teilaufgabe a) berechnete Schaltnetz auf Transistorebene.

#### Aufgabe Nr. 12: CMOS-Schaltnetz nach Muroga

In Aufgabe Nr. 11 wurde ein NMOS-Schaltnetz nach dem Muroga-Verfahren berechnet. Ersetzen Sie den Pullup-Transistor durch ein Netzwerk aus p-Transistoren, so daß ein zum berechneten NMOS-Schaltnetz äquivalentes CMOS-Schaltnetz entsteht.

## 25.8 Aufgaben zu Kapitel 16 (CMOS-Schaltungstechnik)

### Aufgabe Nr. 13: Funktionsextraktion aus CMOS-Gattern

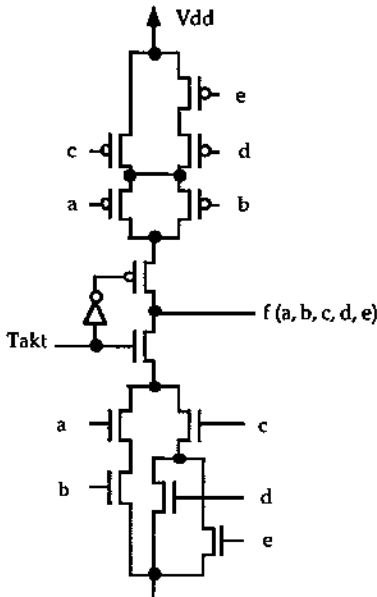


Bild 25.12: Transistor-Schaltung zu Aufgabe Nr. 13

Gegeben ist die Transistor-Schaltung aus Bild 25.12.

- a) Ermitteln Sie die logische Funktion, die durch die Schaltung realisiert wird.
- a) Welche Schaltungstechnik verwendet die in Bild 25.12 gezeigten Transistor-Schaltung?
- a) Entwerfen Sie eine Schaltung in "precharged-CMOS-Schaltungstechnik" mit "gated input", welche die gleiche logische Funktion wie die in Bild 25.12 gezeigte Schaltung realisiert. Zeichnen Sie die Schaltung auf Schaltkreis-Ebene.
- a) Was muß beim kaskadieren von Gattern in precharged CMOS Schaltungstechnik mit "gated input" beachtet werden?
- a) Entwerfen Sie nun eine Schaltung in CMOS n-type PE-Schaltungstechnik, welche die gleiche logische Funktion wie die in Bild 25.12 gezeigte Schaltung realisiert und zeichnen Sie die Schaltung auf Schaltkreis-Ebene.
- a) Entwerfen Sie nun eine Schaltung in CMOS p-type PE-Schaltungstechnik, welche die gleiche logische Funktion wie die in Bild 25.12 gezeigte Schaltung realisiert und zeichnen Sie die Schaltung auf Schaltkreis-Ebene.

### Aufgabe Nr. 14: Entwicklung einer Busvergabe-Logik

Ein Bus verbindet mehrere Geräte miteinander. Lesend dürfen alle Geräte gleichzeitig auf den Bus zugreifen. Schreibend darf aber jeweils nur ein Gerät auf den Bus zugreifen. Damit nicht mehrere Geräte gleichzeitig schreibend auf den Bus zugreifen, muß eine Busvergabe-Logik eindeutig entscheiden, welches Gerät auf den Bus schreiben darf. Bild 25.14 zeigt einen strukturierten Entwurf einer Busvergabe-Logik für n Geräte.

- a) Entwerfen Sie eine Zelle für die erweiterbare Busvergabe-Logik in komplementärer CMOS-Technik auf Transistorebene.

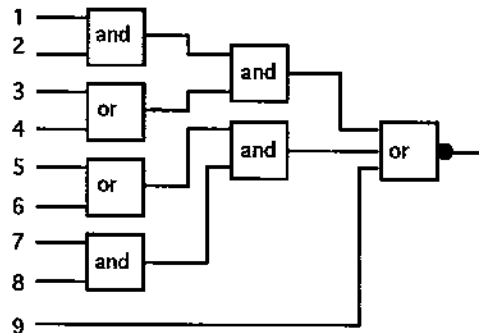


Bild 25.13: planares Logikdiagramm zu Aufgabe Nr. 15





- b) Entwerfen Sie eine Zelle für die erweiterbare Busvergabe-Logik unter Benutzung von Multiplexern.

## 25.9 Aufgaben zu Kapitel 18 (CMOS-Layout-Optimierung)

nach den Verfahren von Uehara und van Cleemput.

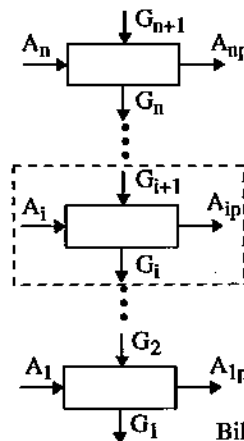
### Aufgabe Nr. 15: Layout-Optimierung nach Uehara

Gegeben ist das planare Logikdiagramm aus Bild 25.13. Ermitteln Sie nach dem Verfahren nach Uehara / van Cleemput (Kapitel 7) das zu Bild 25.13 gehörende CMOS-Layout.

### Aufgabe Nr. 16: CMOS-Addierer-Slice

Nach dem manuellen Verfahren von Uehara und van Cleemput soll je eine 1 Bit breite "Slice" der Schaltung für die Berechnung der Summe  $s$ , sowie der Schaltung für die Berechnung des Übertrages  $c_{out}$  entwickelt werden.

- a) Entwurf der Schaltung für die Berechnung der Summe  $s$  aus den Boole'schen Variablen  $a$  (Addend),  $b$  (Augend), und  $c$  (Übertrag von dem Nachbar-"Slice"):
- a) Ermitteln und zeichnen Sie den dualen TM.



- 1.)  $G_{i+1} = 1$ : der Bus ist einem Gerät zugeteilt  
 $G_{i+1} = 0$ : der Bus ist bis hier noch nicht zugeteilt
- 2.)  $A_i = 1$ : der Bus wird von Gerät  $i$  angefordert
- 3.)  $A_{ip} = 1$ : der Bus ist dem Gerät  $i$  zugeteilt

Bild 25.14: zu Aufgabe Nr. 14.

- 55) Ermitteln und zeichnen Sie die optimalen dualen Euler-Pfade zu a) a). Zeichnen Sie die Euler-Pfade entsprechend der Anordnung der Lösung zu a) a).
- 56) Geben Sie an, wieviele Transistorpaare benötigt werden.
- 57) Geben Sie an, wieviele Lücken dabei auftreten (Paare direkt gegenüberstehender Lücken nur einfach gezählt, äußerster rechter und linker Rand zählen nicht als Lücke).
- 58) Geben Sie die Breite und (getrennt) die Höhe der beiden Diffusionsblöcke in  $\lambda$  an gemäß Mead-&-Conway-Layoutregeln.
- b) Entwurf der Schaltung für die Berechnung des Übertrag-Bits  $c_{out}$  aus den Boole'schen Variablen  $a$  (Addend),  $b$  (Augend), und  $c$  (Übertrag von dem Nachbar-"Slice"):
- 1) Ermitteln und zeichnen Sie den dualen TM.
  - 2) Ermitteln und zeichnen Sie die optimalen dualen Eulerpfade zu a) a). Zeichnen Sie die Euler-Pfade entsprechend der Anordnung der Lösung zu a) a).
  - 3) Geben Sie an, wieviele Transistorpaare benötigt werden.

- 4) Geben Sie an, wieviele Lücken dabei auftreten (Paare direkt gegenüberstehender Lücken nur einfach gezählt, äußerster rechter und linker Rand zählen nicht als Lücke).
- 5) Geben Sie die Breite und (getrennt) die Höhe der beiden Diffusionsblöcke in  $\lambda$  an gemäß Mead-&-Conway-Layoutregeln.

## 25.10 Aufgaben zu Kapitel 17 (Schaltungen mit Multiplexern)

### Aufgabe Nr. 17: CMOS-Entwurf: verschiedene Methoden

Gegeben ist folgende logische Funktion:

$$f(a, b, c, d) = (a \text{ and } b) \text{ or } (c \text{ and } d) \text{ or } (\text{not } (a) \text{ and } c \text{ and } \text{not } (b))$$

- a) Entwerfen Sie unter Anwendung von Shannon's Expansions-Theorem ein Multiplexer-Schaltnetz, das nur aus 2:1 Multiplexern besteht. Zeichnen Sie das Multiplexer-Schaltnetz auf Register-Transfer-Ebene.
- b) Geben Sie eine Realisierung eines vollständig dekodierten 2:1 Multiplexers auf Gatter-Ebene an.
- c) Erklären Sie den Aufbau und die Funktionsweise eines Transfer-Gates. Was ist der Vorteil eines Transfer-Gates gegenüber einem NMOS oder PMOS Pass-Transistors?
- d) Entwerfen Sie nun die Transistor-Schaltung des in Teilaufgabe b) realisierten 2:1 Multiplexers in CMOS-Schaltungstechnik unter Benutzung von Pass-Transistoren.
- e) Die Vorstufe des Layout-Entwurfs bildet die Erstellung des Stick-Diagramms. Geben Sie nun das Stick-Diagramm für die unter d) entworfene Transistor-Schaltung an.
- f) In den Teilaufgaben d) und e) wurde der Entwurf auf Schaltkreis- und symbolischer Layout-Ebene am Beispiel eines 2:1 Multiplexers geübt.

Führen Sie die dort durchgeführten Entwurfs-Schritte für das in Teilaufgabe a) entworfene Multiplexer-Schaltnetz durch. Zeichnen Sie die Schaltung auf Schaltkreis-Ebene und geben Sie das Stick-Diagramm für CMOS-Schaltungstechnik an.

## 25.11 Aufgaben zu Kapitel 19 (Strukturierter Entwurf)

### Aufgabe Nr. 18: MDA-Display-Adapter (25 x 80 Zeichen)

Gegeben sei ein Character-Generator gemäß Bild 25.15 a und ein Display-File-Speicher gemäß Bild 25.15 b, sowie ein 640x480-Display mit den Steuereingängen h (Helligkeit: 1Bit), x und y.

- a) Entwerfe daraus mit Taktgeber und Zählern eine Steuerung zur Darstellung eines einzelnen ASCII-Zeichens, dessen ASCII-Kode verfügbar sei. Zeichne das Blockdiagramm.
- b) Entwerfe daraus mit Taktgeber und Zählern eine Elektronik zur Bildschirmansteuerung gemäß Inhalt des ASCII-Display-File-Speichers. Zeichne das Blockdiagramm.

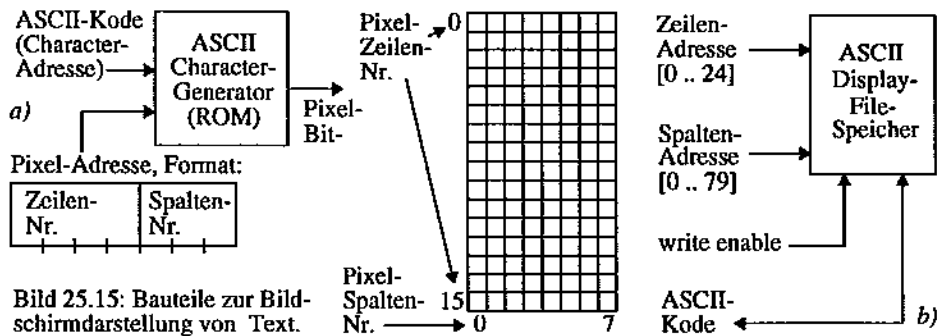


Bild 25.15: Bauteile zur Bildschirmdarstellung von Text.

### Aufgabe Nr. 19: Strukturierter VLSI-Entwurf

Bild 25.7a zeigt das Block-Diagramm eines Parity-Generators. Das Ausgabe-Bit P ist genau dann 1, wenn der Eingabe-Vektor A eine gerade Anzahl von 1en enthält, sonst ist P = 0.

- Für den Parity-Generator soll eine VLSI-gerechte Lösung gefunden werden, d.h. die Schaltung soll in 1-Bit breite Scheiben aufgeteilt werden. Durch das Aneinandersetzen der 1 Bit breiten Zellen können Parity-Generatoren beliebiger Eingangs-Bitbreite gebildet werden. Geben Sie die Lösung in Form eines Block-Diagramms an.
- Entwerfen Sie eine 1 Bit breite Scheibe des Parity-Generators auf Gatter-Ebene.
- Entwerfen Sie die komplementäre CMOS-Schaltung auf Transistor-Ebene der 1-Bit-Scheibe aus Aufgabenteil b).
- Zeichnen Sie das zu Aufgabenteil c) gehörende Stick-Diagramm entsprechend den Farbkonventionen nach Bild 25.7b. Achten Sie darauf, daß die bounding box der Zelle so gewählt ist, daß mehrere Zellen direkt aneinandergesetzt werden können.

### Aufgabe Nr. 20: Strukturiertes Layout

Für die in Aufgabe Nr. 19 entwickelte Parity-Generator-Zelle soll nun das Layout entwickelt werden. Als Grundlage soll das Stickdiagramm (Teil-Aufgabe 4 in Aufgabe Nr. 19) dienen. Beachten Sie die gerasterten CMOS-Entwurfsregeln des IMS in Duisburg aus Kapitel 5. Achten Sie darauf, daß die Transistordimensionen richtig gewählt sind.

### Aufgabe Nr. 21: Tally-Schaltung

Gegeben ist eine strukturierte Implementierung der Tally-Schaltung auf Schaltkreis-Ebene (siehe Bild 25.16). Die Schaltung hat im allgemeinen Fall n Eingänge  $X_1 \dots X_n$  und n+1 Ausgänge  $Z_0 \dots Z_n$ . Ein Ausgang  $Z_k$  ist genau dann "1" und alle anderen Ausgänge "0", falls k Eingänge "1" sind. Für den Fall n=3 (siehe Bild 25.16) ergeben sich also folgende Funktionen:

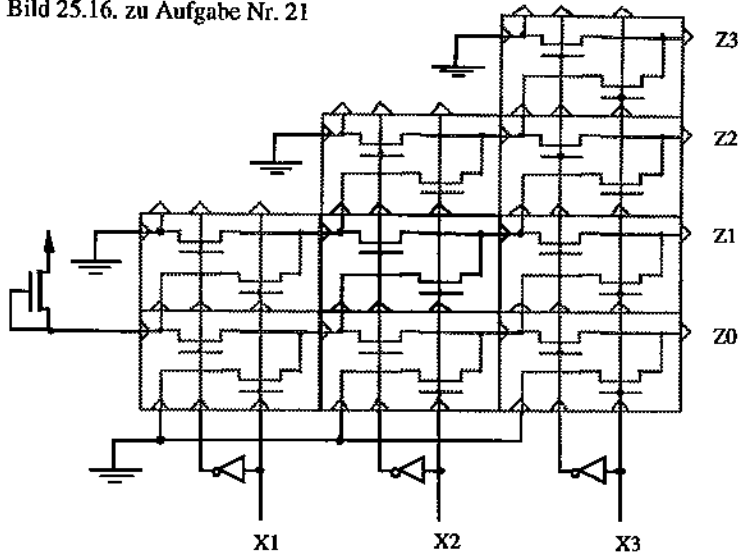
$$Z_0 = \bar{X}_1 \bar{X}_2 \bar{X}_3$$

$$Z_1 = X_1 \bar{X}_2 \bar{X}_3 \vee \bar{X}_1 X_2 \bar{X}_3 \vee \bar{X}_1 \bar{X}_2 X_3$$

$$Z_2 = X_1 X_2 \bar{X}_3 \vee \bar{X}_1 X_2 X_3 \vee X_1 \bar{X}_2 X_3$$

$$Z_3 = X_1 X_2 X_3$$

Bild 25.16. zu Aufgabe Nr. 21



Die in Bild 25.16 gezeigte Implementierung besteht aus neun gleichen Zellen. Die Schaltung kann so leicht durch direktes aneinandersetzen (wiring-by-abutment) erweitert werden. Es muß nur eine Grundzelle entworfen werden.

- a) Erstellen Sie zunächst das Stick-Diagramm der Grundzelle. Achten Sie darauf, daß die von Ihnen entworfene Zelle durch wiring-by-abutment verdrahtet werden kann.
- b) Erstellen Sie nun ein möglichst kompaktes Layout der Grundzelle. Benutzen Sie dazu die in Kapitel 12 gezeigten gerasterten Entwurfsregeln des Fraunhofer-Instituts IMS in Duisburg. Achten Sie auch hier darauf, daß wiring by abutment durchgeführt werden kann.

## 25.12 Aufgaben zu Kapitel 22 (Synthese Systolischer Arrays)

### Aufgabe Nr. 22: Matrix-Vektor-Multiplikation

Bild 22.21 zeigt den DG und ein SFG für einen systolischen Array (Version 3) zur Matrix-Vektor-Multiplikation. Löse hierzu die folgenden Teil-Aufgaben:

- a) Gib zum SFG in Bild 22.21 b die Architektur des PE an und zeichne das Datenpfad-Netz dazu.
- b) Leite aus Bild 22.21 b den systolischen Array ab und zeichne das Blockdiagramm dazu.
- c) Zeichne zum DG (Bild 22.21 a) Hyperebenen für einen Schedule, leite einen Schedule ab und zeichne daraus das Datenstrom-Diagramm passend zur Lösung (b).

**Aufgabe Nr. 23: Korrelation**

Gegeben sei die Korrelations-Funktion  $y$  mit den Gewichten  $\{w_k\}$  aus einer Folge von Eingabe-Werten  $\{u_j\}$ , wobei für alle  $j \in \{0, 1, \dots, 2N-2\}$  gilt:

$$y_j = \sum_{k=1}^N w_k u_{j+k+1} \quad (24.2)$$

Löse dazu die folgenden Aufgaben.

- Leite daraus den DG ab
- Leite aus dem Ergebnis von (a) einen neuen DG ab, der kein Broadcasting enthält. Zeichne den DG.
- Leite aus dem Ergebnis von (b) einen neuen DG ab, der kein Overwriting enthält. Zeichne den DG.
- Leite aus dem Ergebnis von (c) einen SFG ab. Zeichne den SFG.
- Leite aus dem Ergebnis von (d) die PE-Architektur ab. Zeichne das Datenpfad-Netzwerk dieses PE.
- Zeichne zu dem Ergebnis von (d) das Blockdiagramm eines systolischen Array.
- Zeichne in das Ergebnis von (c) Hyperebenen für einen Schedule ein. Trage dazu das Datenstrom-Diagramm in das Bild des systolischen Array ein.

